

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月5日

H 03 K 17/687

7105-5J

審査請求 未請求 (全2頁)

⑮ 考案の名称 半導体装置

⑯ 実 願 昭60-59042

⑰ 出 願 昭60(1985)4月19日

⑱ 考 案 者 安 部 文 紀 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内

⑲ 出 願 人 三洋電機株式会社 守口市京阪本通2丁目18番地

⑲ 出 願 人 東京三洋電機株式会社 群馬県邑楽郡大泉町大字坂田180番地

⑳ 代 理 人 弁理士 西野 卓嗣 外1名

㉑ 実用新案登録請求の範囲

並列接続されてトランスミッションゲートあるいはアナログスイッチ等を構成するNチャンネルMOSFET及びPチャンネルMOSFETと、該NチャンネルMOSFETのゲート電極とPチャンネルMOSFETのゲート電極に互いに逆相の制御信号を印加するために一方の制御信号線に挿入された反転素子とを少なくとも備えた半導体装置に於いて、前記反転素子によつて遅延される時間と略等

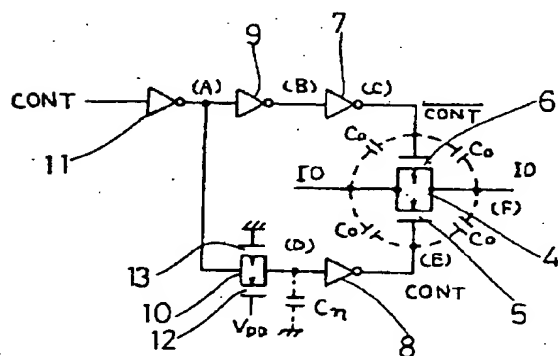
しい遅延時間を有する遅延素子を他方の制御信号に挿入したことを特徴とする半導体装置。

図面の簡単な説明

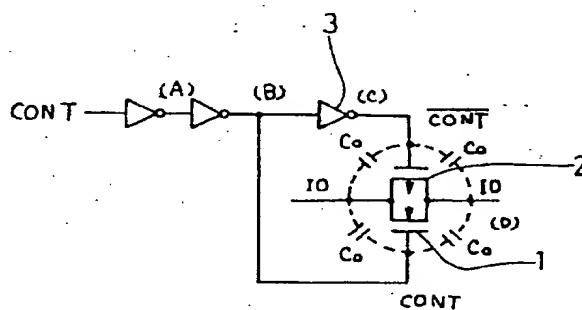
第1図は本考案の実施例を示す回路図、第2図は第1図に示された実施例の動作を示す波形図、第3図は従来例を示す回路図、第4図は第3図の動作を示す波形図である。

主な図番の説明、4, 10……トランスミッションゲート、7, 8, 9, 11……インバータ。

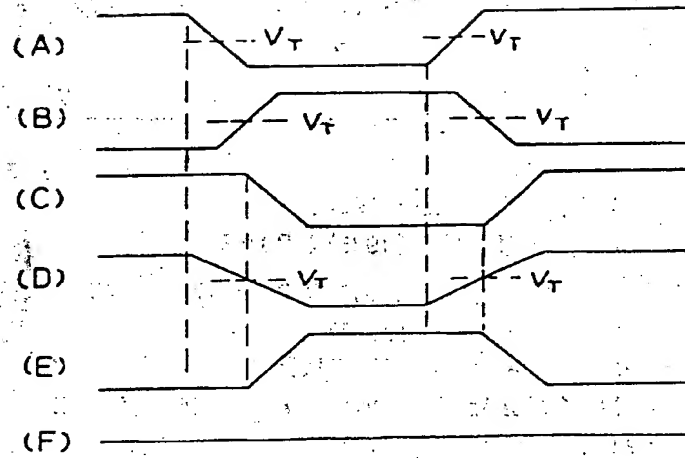
第1図



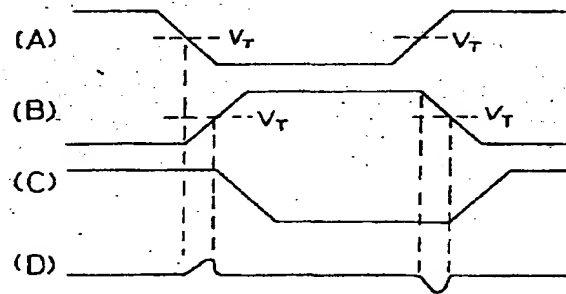
第3図



第 2 図



第 4 図



公開実用 昭和61-195126

⑯ 日本国特許庁(JP)

⑰ 実用新案出願公開

⑱ 公開実用新案公報(U) 昭61-195126

⑲ Int.Cl.⁴

識別記号

庁内整理番号

⑳ 公開 昭和61年(1986)12月5日

H 03 K 17/687

7105-5J

審査請求 未請求 (全 頁)

㉑ 考案の名称 半導体装置

㉒ 実 願 昭60-59042

㉓ 出 願 昭60(1985)4月19日

㉔ 考 案 者 安 部 文 紀 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内

㉕ 出 願 人 三 洋 電 機 株 式 会 社 守口市京阪本通2丁目18番地

㉖ 出 願 人 東京三洋電機株式会社 群馬県邑楽郡大泉町大字坂田180番地

㉗ 代 理 人 弁理士 西野 卓 嗣 外1名

明 細 書

1. 考案の名称 半導体装置

2. 実用新案登録請求の範囲

1. 並列接続されてトランスミッションゲートあるいはアナログスイッチ等を構成するNチャネルMOSFET及びPチャネルMOSFETと、該NチャネルMOSFETのゲート電極とPチャネルMOSFETのゲート電極に互いに逆相の制御信号を印加するために一方の制御信号線に挿入された反転素子とを少なくとも備えた半導体装置に於いて、前記反転素子によって遅延される時間と略等しい遅延時間を有する遅延素子を他方の制御信号に挿入したことを特徴とする半導体装置。

3. 考案の詳細な説明

(イ) 産業上の利用分野

本考案はトランスミッションゲートあるいはアナログスイッチ等を備えた半導体装置に関し、特に、C-MOSで構成された半導体装置に関する。

(ロ) 従来の技術

従来、C-MOS半導体装置に用いられるトランスミッションゲートあるいはアナログスイッチ等（以下総称してトランスミッションゲートと称す）は、昭和59年5月10日に発行された「三洋半導体ハンドブック マイクロコンピュータ/MOS集積回路編」の第315頁に記載されており、その回路は第3図に示される如く、NチャンネルMOSFET(1)とPチャンネルMOSFET(2)とが並列接続され、NチャンネルMOSFET(1)のゲートには制御信号CONTが印加され、PチャンネルMOSFET(2)のゲートにはインバータ(3)によって反転された $\overline{\text{CONT}}$ が印加されている。そこで、制御信号CONTが"0"であるとNチャンネルMOSFET(1)及びPチャンネルMOSFET(2)はオフとなり、信号線IOが遮断される。また、制御信号CONTが"1"となるとNチャンネルMOSFET(1)及びPチャンネルMOSFET(2)はオンとなり、信号線IOが導通する。

㊦ 考案が解決しようとする問題点

第3図に示された回路に於いて、制御信号CONTと信号線IOの間及び制御信号 $\overline{\text{CONT}}$ と信号線IOの間に寄生容量 C_0 が存在するが、制御信号CONTと $\overline{\text{CONT}}$ とは互いに逆方向に変化するため、寄生容量 C_0 を介して信号線IOに影響を与えるクロストークノイズは打ち消されるはずである。

しかしながら、第4図に示される如く制御信号CONTの変化に対して制御信号 $\overline{\text{CONT}}$ の変化はインバータ(3)の動作遅延時間、例えば10 nsec程度遅れる。このタイミングのズレが信号線IOにクロストークノイズとして発生する欠点があった。

(二) 問題点を解決するための手段

本考案は上述した点に鑑みて為されたものであり、制御信号CONTを反転するためのインバータの遅延時間と略等しくなるような遅延素子を制御信号CONTのライン上に挿入するものであり、遅延素子は制御信号CONTの浮遊容量とトランスマッションゲートのオン抵抗を利用したCR遅

延素子である。

(四) 作用

本考案によれば、制御信号 $\overline{\text{CONT}}$ の変化は、遅延素子によって制御信号 $\overline{\text{CONT}}$ を発生するインバータの遅延時間と略等しく遅延されるため、NチャンネルMOSFETのゲートとPチャンネルMOSFETのゲートに印加される制御信号 CONT 及び $\overline{\text{CONT}}$ の変化が同時に発生するようになる。これにより、クロストークが打ち消される。

(五) 実施例

第1図は本考案の実施例を示す回路図である。

トランスミッションゲート(4)はNチャンネルMOSFET(5)とPチャンネルMOSFET(6)が並列接続されて成り、NチャンネルMOSFET(5)及びPチャンネルMOSFET(6)の各ゲートには、駆動用のインバータ(7)(8)の出力が印加される。また、インバータ(7)の入力には制御信号 $\overline{\text{CONT}}$ を発生させるためのインバータ(9)が接続され、インバータ(8)の入力には遅延素子を構成するトランス

ミッションゲート(10)が接続される。更に、インバータ(9)の入力とトランスミッションゲート(10)の入力にはインバータ(11)の出力が共通に印加される。トランスミッションゲート(10)はNチャンネルMOSFET(12)とPチャンネルMOSFET(13)とが並列接続され、NチャンネルMOSFET(12)のゲートは電源 V_{DD} レベル、即ち"1"に接続され、PチャンネルMOSFET(13)のゲートは接地レベル、即ち"0"に接続されている。従って、トランスミッションゲート(10)は常時オン状態にあり、そのオン抵抗 R は、インバータ(11)の出力からトランスミッションゲート(10)を介してインバータ(8)の入力までの総浮遊容量 C_n と遅延時間を決定する時定数を作成する。即ち、インバータ(9)の遅延時間を 1.0 nsec とすると、 $R \times C = 1.0\text{ nsec}$ となるように設計する。例えば、C-MOS ICの標準的な値を考えると浮遊容量 C_n は 0.2 PF 程度であり、この場合には $R = \frac{1.0\text{ nsec}}{0.2\text{ PF}} = 5.0\text{ K}\Omega$ となり、トランスミッションゲート(10)のオン抵抗 R が $5.0\text{ K}\Omega$ となるようにNチャンネルMOSFET(12)及び

PチャンネルMOSFET(13)のトランジスタサイズを設計する。

第2図は第1図に示された動作を示す波形図であり、(A)はインバータ(1)の出力、(B)はインバータ(9)の出力、(C)はインバータ(7)の出力を示し、更に(D)はトランスマッションゲート(10)の出力、(E)はインバータ(8)の出力、(F)は信号線I Oの波形を示している。インバータ(9)は(A)の信号がスレッシュホールド電圧 V_T に達したとき(B)の信号を出力し、インバータ(7)は(B)の信号がスレッシュホールド V_T に達したとき(C)の信号を出力する。従って、(C)の信号は(A)の信号とインバータ(9)(7)の2段分遅延された信号となる。一方、(D)の信号はトランスマッションゲート(10)の第2抵抗 R と浮遊容量 C_n の時定数により、他のインバータ出力よりなだらかに変化し、(D)の信号がインバータ(8)のスレッシュホールド V_T に達するまでの期間は、インバータ(9)の遅延時間 $10 \cdot n \text{ sec}$ と等しくなっている。従って、インバータ(8)の出力(E)の信号はインバータ(7)の出力(C)の信号と同時に逆方向に変化するため、信号線I Oに

は図の如くクロストークが打ち消されて、ノイズが発生しない。

(ト) 考案の効果

上述の如く、本考案によれば、トランスマッションゲートをオン及びオフさせる際に、信号線に発生するクロストークノイズを除去できるものであり、信頼性の高い高品質な半導体装置が得られるものである。

4. 図面の簡単な説明

第1図は本考案の実施例を示す回路図、第2図は第1図に示された実施例の動作を示す波形図、第3図は従来例を示す回路図、第4図は第3図の動作を示す波形図である。

主な図番の説明

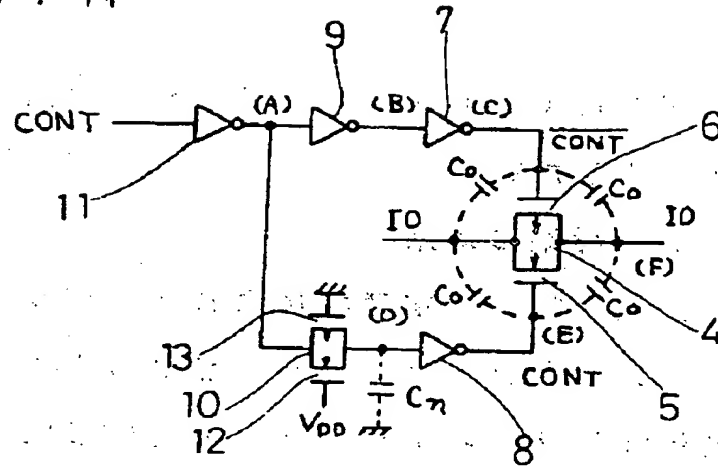
(4)(10)…トランスマッションゲート、(7)(8)(9)(11)

…インバータ。

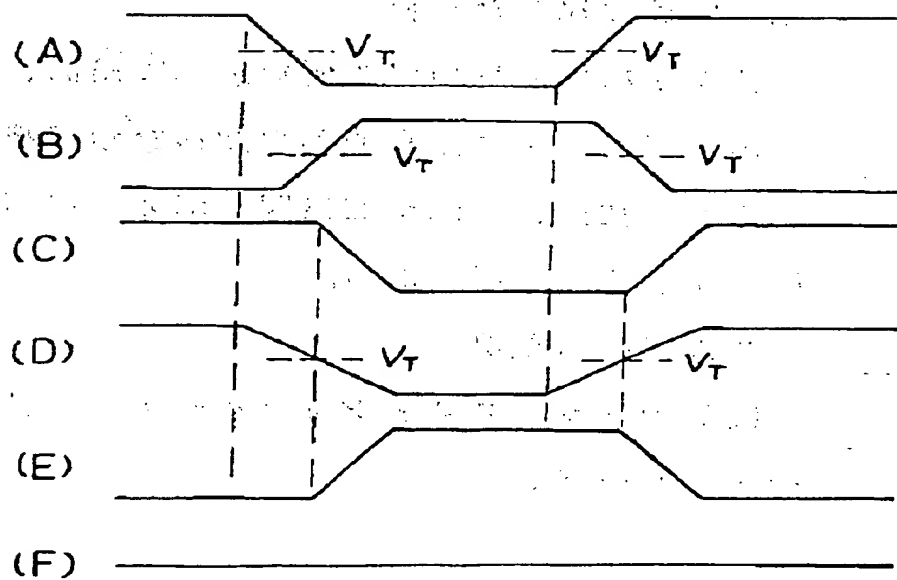
出願人 三洋電機株式会社 外1名

代理人 弁理士 佐野 静夫

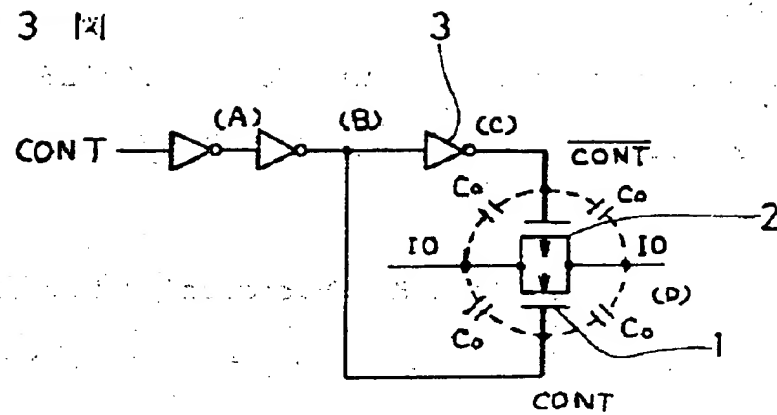
第 1 図



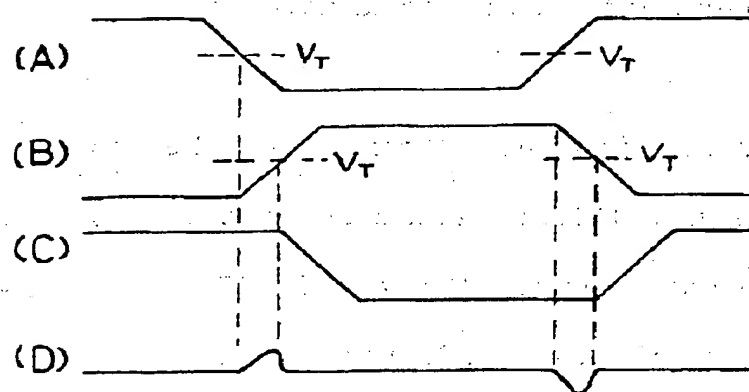
(2)



第3図



第4図



271

出願人 三洋電機株式会社 外1名
代理人 弁理士 佐野 静夫

実開61-195126

(Citation 2)

JP U.M. Application Disclosure No. 61-195126 - Dec. 5, 1986

Utility Model Application No. 60-59042 - April 19, 1985

Priority: none

Applicants: Sanyo Denki K.K., Moriguchi City, and Tokyo Sanyo
Denki K.K., Gunma Prefecture, Japan

Title: Semiconductor device

Detailed Description of the Innovation:

.....

A transmission gate 4 comprises the parallel connection of an N-channel MOSFET 5 and a P-channel MOSFET 6, and, to the respective gates of the N-channel MOSFET 5 and the P-channel MOSFET 6, the outputs from driving inverters 7 and 8 are applied. Further, to the input of the inverter 7, there is connected an inverter 9 for generating a control signal $\overline{\text{CONT}}$, and, to the input of the inverter 8, there is connected a transmission gate 10 that constitutes a delay element. Further, to the respective inputs of the inverter 9 and the transmission gate 10, the output from an inverter 11 is commonly applied. To the transmission gate 10, an N-channel MOSFET 12 and a P-channel MOSFET 13 are connected in parallel; and the gate of the N-channel MOSFET 12 is connected to the power source V_{DD} level, that is, "1", while,

the gate of the P-channel MOSFET 13 is connected to the earth level, that is, "0". Accordingly, the transmission gate 10 is normally in ON state, and the ON resistance R thereof constitutes the time constant, which determines the delay time, in cooperation with the total stray capacitance Cn that appears in the portion extending from the output of the inverter 11 through the transmission gate 10 to the input of the inverter 8. Thus, the circuit is designed so that the relationship of $R \times C \cong 10 \text{ nsec}$ can be obtained in case the delay time of the inverter 9 is assumed to be 10 nsec. For example, in view of the standard value of C-MOSIC, the stray capacitance Cn is about 0.2 PF, in which case $R = (10 \text{ nsec}) / (0.2 \text{ PF}) = 50 \text{ k}\Omega$; and thus, the transistor size of the N-channel MOSFET 12 and the P-channel MOSFET 13 is designed so that the ON resistance R of the transmission gate 10 may become 50 k Ω

DOCKET NO: GR 98 P 1716
SERIAL NO: 09/311, 118
APPLICANT: Heyne et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100